

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

5742628

Basic Patent (No.Kind,Date): JP 61222254 A2 861002 <No. of Patents: 001>

SEMICONDUCTOR MEMORY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): IIZUKA TETSUYA

IPC: \*H01L-027/10; G11C-011/40

Derwent WPI Acc No: \*G 86-301209;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 61222254	A2	861002	JP 8562110	A	850328 (BASIC)

Priority Data (No,Kind,Date):

JP 8562110 A 850328

**BEST AVAILABLE COPY**

DIALOG(R)File 347:JAP10

(c) 2003 JPO & JAP10. All rts. reserv.

02008154 \*\*Image available\*\*

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 61-222254 [JP 61222254 A]

PUBLISHED: October 02, 1986 (19861002)

INVENTOR(s): IIZUKA TETSUYA

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 60-062110 [JP 8562110]

FILED: March 28, 1985 (19850328)

INTL CLASS: [4] H01L-027/10; G11C-011/40

JAP10 CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2  
(INFORMATION PROCESSING — Memory Units)

JOURNAL: Section: E, Section No. 483, Vol. 11, No. 61, Pg. 125.  
February 25, 1987 (19870225)

ABSTRACT

PURPOSE: To make it possible to implement high integration of elements, by providing transfer gate transistors on driver transistors so that they are overlapped.

CONSTITUTION: The voltages of a pair of bit line BL and the inverse of BL are made to be a power source voltage or a high voltage similar to the power source voltage. Data are kept by transistors T<sub>1</sub>-T<sub>4</sub> by this method. In the writing operation, at first, a word line WL is made to become a high potential and the transistors T<sub>3</sub> and T<sub>4</sub> are conducted. The bit lines BL and the inverse of BL are made to be H/L or L/H in correspondence with the data. Thus, the state of the flip-flop of the transistors T<sub>1</sub>-T<sub>4</sub> is determined. Then, the potential of the word line is lowered, and the transistors T<sub>3</sub> and T<sub>4</sub> are made nonconducting and are returned to a high potential together with the bit line. In the reading operation, at first, the word line is made to be the high potential, and the transistors T<sub>3</sub> and T<sub>4</sub> are made to be a conducting state. The decrease of either potential of the bit line BL or the inverse of BL is detected in correspondence with the state in a memory cell, and the data is read out. Thereafter, the word line is returned to the low potential, and both bit lines BL and the inverse of BL are returned to the high potential.

⑥日本国特許庁(JP) ⑦特許出願公開  
⑧公開特許公報(A) 昭61-222254

⑨Int.Cl.  
H 01 L 27/10  
G 11 C 11/40

識別記号 場内整理番号  
6655-5F  
7230-5B

⑩公開 昭和61年(1986)10月2日

審査請求 有 発明の数 1 (全5頁)

⑪発明の名称 半導体記憶装置

⑫特 願 昭60-62110  
⑬出 願 昭60(1985)3月28日

⑭発明者 飯塚 哲哉 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑮出願人 株式会社東芝 川崎市幸区堀川町72番地  
⑯代理人 弁理士 鈴江 武彦 外2名

明 図 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 放電定状態を有するメモリセルが半導体基板上にマトリクス状に配設された半導体記憶装置において、メモリセルのトランジスタゲートトランジスタをドライバトランジスタ上に置きるように設けたことを特徴とする半導体記憶装置。

(2) ドライバトランジスタが半導体基板表面のソース、ドレイン領域と、これら領域間のチャネル上にゲート絶縁膜を介して設けられたゲート電極とから構成され、かつトランジスタゲートトランジスタがドライバトランジスタのゲート上に薄い絶縁膜を介して設けられ、多結晶シリコン層の再結晶により得られたソース、ドレイン領域と、これら領域間のチャネル上にゲート絶縁膜を介して設けられたゲート電極とから構成されていることを特徴とする特許請求の範囲。

図第1項記載の半導体記憶装置。

(3) トランジスタゲートトランジスタのリーク電流をドライバトランジスタのそれより高くし、ピット線電位が低レベルになる時間長を所定値以上に設定し、各々のメモリセルに固有の電源配線を省略したことを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

【発明の技術分野】

本発明は半導体記憶装置に関し、特にメモリセルのトランジスタゲートトランジスタの配線に改良を加えたものである。

【発明の技術的背景】

従来、リフレッシュ動作の不要な半導体記憶装置としては、第3図及び第4図に示すものが知られている。ここで、第3図は1セル分の平面図、第4図はその回路図を示す。

図において、T<sub>1</sub>、T<sub>2</sub>は一対のドライバトランジスタである。ここで、トランジスタT<sub>1</sub>のドレイン領域(D<sub>1</sub>)はトランジスタT<sub>2</sub>のゲ

ート電極(O<sub>1</sub>)24C、トランジスタT<sub>1</sub>のドレイン領域(D<sub>1</sub>)25はトランジスタT<sub>1</sub>のゲート電極(T<sub>1</sub>)26に夫々接続される。前記トランジスタT<sub>1</sub>、T<sub>2</sub>には負荷として高抵抗素子R<sub>1</sub>、R<sub>2</sub>が夫々接続され、フリップフロップ回路を構成している。前記トランジスタT<sub>1</sub>、T<sub>2</sub>のソース領域S<sub>1</sub>、S<sub>2</sub>は、夫々コンタクトアシスト<sub>1</sub>、アシスト<sub>2</sub>を介してV<sub>cc</sub>端子に接続されている。また、前記高抵抗素子R<sub>1</sub>、R<sub>2</sub>は一端が共通接続し、これがV<sub>cc</sub>端子に接続されている。

前記フリップフロップ回路の各ノードには、夫々トランスファーゲートトランジスタT<sub>3</sub>、T<sub>4</sub>が接続されている。これらトランジスタT<sub>3</sub>、T<sub>4</sub>は、メモリセル内部のデータと後記ビット線対のデータのやりとりを行う。これらトランジスタT<sub>3</sub>、T<sub>4</sub>のゲート電極G(O<sub>1</sub>)<sub>27</sub>、G(O<sub>2</sub>)<sub>28</sub>は、ワード線(WL)に接続されている。また、前記トランジスタT<sub>3</sub>、T<sub>4</sub>のドレイン領域D<sub>3</sub>(D<sub>4</sub>)、D<sub>4</sub>(D<sub>3</sub>)は、夫々コンタクトアシスト<sub>3</sub>、アシスト<sub>4</sub>を介してビット線(BL、BL)に接続さ

#### [発明の目的]

本発明は上記事項に鑑みてなされたもので、素子の高集積化を図ることのできる半導体記憶装置を提供することを目的とする。

#### [発明の概要]

本発明は、トランスファーゲートトランジスタをドライバトランジスタ上に重なるように設けることによって、素子の高集積化を図ったことを特徴とする。

#### [発明の実施例]

以下、本発明の一実施例を第1図、第2図及び第5図を参照して説明する。ここで、第1図は本発明に係る半導体記憶装置を構成する1つのメモリセルの平面図、第2図は第1図のX-Y-X'Y'断面図、第5図は同メモリセルの回路図である。

図中の21は、例えばP型のシリコン基板である。この基板21の表面にはフィールド酸化膜22が設けられている。このフィールド酸化膜22で囲まれた基板21の裏面領域には、ド

ーライン電極(O<sub>1</sub>)24B、トランジスタT<sub>1</sub>のソース領域(S<sub>1</sub>)<sub>25</sub>、(S<sub>2</sub>)<sub>25</sub>はトランジスタT<sub>1</sub>、T<sub>2</sub>には負荷として高抵抗素子R<sub>1</sub>、R<sub>2</sub>が夫々接続され、フリップフロップ回路を構成している。前記トランジスタT<sub>1</sub>、T<sub>2</sub>のソース領域S<sub>1</sub>、S<sub>2</sub>は、夫々コンタクトアシスト<sub>1</sub>、アシスト<sub>2</sub>を介してV<sub>cc</sub>端子に接続されている。また、前記高抵抗素子R<sub>1</sub>、R<sub>2</sub>は一端が共通接続し、これがV<sub>cc</sub>端子に接続されている。

前記フリップフロップ回路の各ノードには、夫々トランスファーゲートトランジスタT<sub>3</sub>、T<sub>4</sub>が接続されている。これらトランジスタT<sub>3</sub>、T<sub>4</sub>は、メモリセル内部のデータと後記ビット線対のデータのやりとりを行う。これらトランジスタT<sub>3</sub>、T<sub>4</sub>のゲート電極G(O<sub>1</sub>)<sub>27</sub>、G(O<sub>2</sub>)<sub>28</sub>は、ワード線(WL)に接続されている。また、前記トランジスタT<sub>3</sub>、T<sub>4</sub>のドレイン領域D<sub>3</sub>(D<sub>4</sub>)、D<sub>4</sub>(D<sub>3</sub>)は、夫々コンタクトアシスト<sub>3</sub>、アシスト<sub>4</sub>を介してビット線(BL、BL)に接続さ

#### [背景技術の問題点]

しかしながら、従来の半導体記憶装置によれば、高抵抗素子R<sub>1</sub>とトランジスタT<sub>1</sub>、高抵抗素子R<sub>2</sub>とトランジスタT<sub>2</sub>が夫々直なった構造を有するものの、1個のトランジスタT<sub>1</sub>～T<sub>2</sub>を2次元上に配置するため、素子の集成度を向上することが困難である。

ライバトランジスタT<sub>1</sub>のN<sup>+</sup>型のソース領域(S<sub>1</sub>)<sub>25</sub>、ドレイン領域(D<sub>1</sub>)<sub>25</sub>及びドライバトランジスタT<sub>2</sub>のN<sup>+</sup>型のソース領域(S<sub>2</sub>)<sub>25</sub>、ドレイン領域(D<sub>2</sub>)<sub>25</sub>が夫々設けられている。前記ソース、ドレイン領域<sub>25</sub>、<sub>25</sub>間のチャネル上には、多結晶シリコンからなるゲート電極(O<sub>1</sub>)<sub>27</sub>がゲート絶縁膜<sub>24</sub>を介して設けられている。一方、ソース、ドレイン領域<sub>25</sub>、<sub>25</sub>間のチャネル上には、多結晶シリコンからなるゲート電極(O<sub>2</sub>)<sub>28</sub>がゲート絶縁膜<sub>24</sub>を介して設けられている。

前記トランジスタT<sub>1</sub>～T<sub>2</sub>上には、トランスファーゲートトランジスタT<sub>3</sub>、T<sub>4</sub>が重なるように設けられている。即ち、トランジスタT<sub>3</sub>のゲート電極<sub>27</sub>上には、厚い酸化膜<sub>20</sub>を介して例えば多結晶シリコン層をレーザーアーリング等により再結晶化して得られる薄膜層<sub>21</sub>が設けられている。具体的には、N<sup>+</sup>型のソース領域(S<sub>1</sub>)<sub>25</sub>、ドレイン領域(D<sub>1</sub>)<sub>25</sub>が設けられている。このソース、ドレイン領域<sub>25</sub>、

この間のチャネル上には、ゲート絶縁膜 $\delta_1$ を介して多結晶シリコンからなるゲート電極 $(G_1)$ はさみが設けられている。このゲート電極 $(G_1)$ はワード線 $(W_L)$ に接続されている。

ここで、前記ソース、ドレイン領域 $S_1$ 、 $S_2$ は、ゲート電極 $(G_1)$ に対して自己整合的に形成されている。前記ドレイン領域 $S_2$ には、コンタクト $C_1$ を介してピット線 $(B_L)$ と $\overline{B_L}$ が接続されている。また、トランジスタ $T_1$ とトランジスタ $T_2$ もトランジスタ $T_1$ と同様な構造となっている。第1図において、 $S_1$ は $N^+$ 型のソース領域 $(S_1)$ 、 $S_2$ は $N^+$ 型のドレイン領域 $(D_1)$ を、 $G_1$ はゲート電極 $(G_1)$ を、 $B_L$ はドレイン領域 $S_2$ とコンタクト $C_1$ を介して接続するピット線 $(B_L)$ を示す。また、第1図において、コンタクト $C_1$ でトランジスタ $T_1$ のドレイン領域 $(D_1)$ とトランジスタ $T_2$ の電極 $(G_2)$ とトランジスタ $T_2$ のソース領域 $(S_2)$ とが接続し、コンタクト $C_2$ でトランジスタ $T_2$ のドレイン領域 $(D_2)$ とト

ランジスタ $T_1$ のゲート電極 $(G_1)$ とトランジスタ $T_2$ のソース領域 $(S_2)$ とが接続されている。

次に、前述した構造の装置の動作原理について述べる。トランジスタ $T_1$ 、 $T_2$ は、ワード線が低レベルにある場合、NチャネルのMOSトランジスタであるから非導通状態にあるが、微少なリタ電流が存在する。この電流の値は、通常、ドライバトランジスタ $T_1$ 、 $T_2$ のリタ電流よりも大きい。従って、ピット線 $B_L$ 、 $\overline{B_L}$ を電源電圧又はそれに準じた高い電圧にしておくことにより、トランジスタ $T_1$ とトランジスタ $(\text{負荷素子})T_2$ 、及びトランジスタ $T_2$ とトランジスタ $(\text{負荷素子})T_1$ で2組のインペータ対が出来上がり、これらがフリップフロップ回路を形成している。これにより、トランジスタ $T_1$ ～ $T_2$ でデータを保持することができる。ここで、書き込み動作は、まず、ワード線 $W_L$ を高電位にしてトランジスタ $T_1$ 、 $T_2$ を導通せしめ、ピット線 $B_L$ 、 $\overline{B_L}$ を書き込

みデータに応じてH又はLにすることによってトランジスタ $T_1$ ～ $T_2$ のフリップフロップの状態を決める。次に、ワード線電位を下げてトランジスタ $T_1$ 、 $T_2$ を非導通にし、更にピット線を共に高電位に戻す。また、読み出し動作は、まずワード線を高電位にしてトランジスタ $T_1$ 、 $T_2$ を導通状態にし、メモリセル内の状態に応じてピット線 $B_L$ 、 $\overline{B_L}$ のいずれかの電位が低下するのを検知してデータを読み出す。この後、ワード線を低電位に戻し、ピット線 $B_L$ 、 $\overline{B_L}$ を共に高電位に戻す。

しかして、本発明によれば、以下に示す効果を有する。

① トランジスタ $T_1$ ～ $T_2$ をドライバトランジスタ $T_1$ 、 $T_2$ 上に尖り重なるように置けるため、2次元平面上に2個のトランジスタの密度でメモリセルが実現でき、従来と比べ約2倍の集成度を得ることができる。

② ドライバトランジスタのコンタクタ数と

トランジスタ $T_1$ ～ $T_2$ のそれとの比(ノビ)を大きくとりやすく高集成化し易い。また、通常、このノビはメモリセルの安定度を高めるために大きくとる必要があり、ドライバトランジスタのチャネル幅を大きく、トランジスタ $T_1$ ～ $T_2$ のチャネル長を大きくとっているが、これはそれだけ余分に面積を要することを意味する。しかし、本発明によれば、薄膜層 $\delta_1$ でソース、ドレイン領域を形成したトランジスタ $T_1$ ～ $T_2$ のセパリティは基板表面のドライバトランジスタに比して小さいため、各トランジスタのLやWを最小寸法で実現できる。

③ ピット線の浮遊容量が小さく高速動作しやすい。従来(第3図)のようにピット線が複合容量をもつた場合と比べ、絶縁膜に取り囲まれているため、浮遊容量が極めて小さい。従って、メモリサイズが小さくなることによりピット線長が短いことと合まって、ピット線全体の容量を小さくするため、高速動作を実現できる。

メモリセルのフリップフロップの負荷として従来のように高抵抗のシリコン層で実現し、専用の  $V_{cc}$  の電源配線に接続する应用にも通用可観で、上記①～④のメリットは生かされる。

## 〔発明の効果〕

以上詳述した如く本発明によれば、電子の高度化を図ることが可能な半導体記憶装置を提供できる。

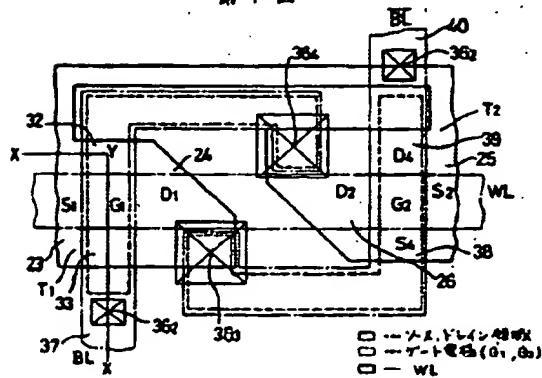
## 4回面の簡単な説明

第1図は本発明の一実施例に係る半導体記憶装置のメモリセルの平面図、第2図は第1図のX-Y-X'軸に沿う断面図、第3図は従来の半導体記憶装置のメモリセルの平面図、第4図は同メモリセルの回路図、第5図は第1図のメモリセルの回路図である。

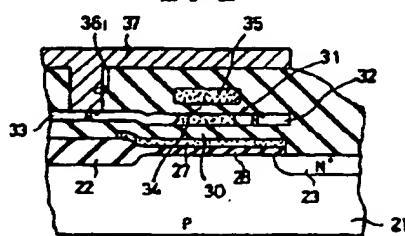
21—P型のシリコン基板、22—フィールドP型化膜、23, 25, 26, 28, 30—N<sup>+</sup>型のソース領域、24, 26, 28, 30...N<sup>+</sup>型のドレイン領域、27, 29, 31, 33, 40—ゲート

出版代理人 分理士 鮎江武彦

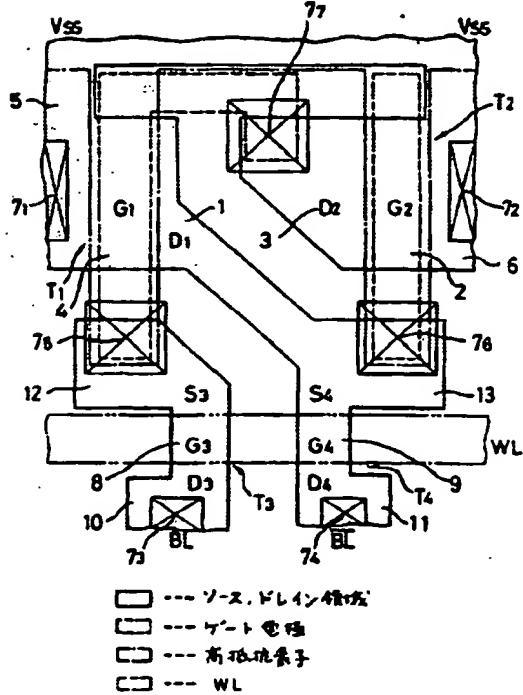
第1図



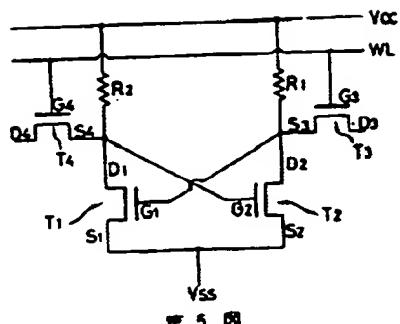
第2図



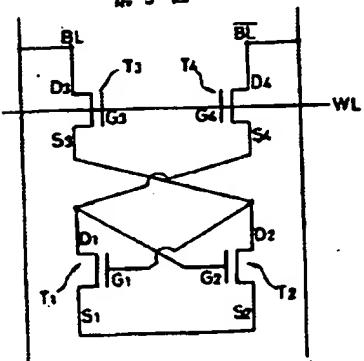
第3図



第4図



第5図



DIALOG(R)File 345:lnpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11568221

Basic Patent (No,Kind,Date): JP 5335482 A2 931217 <(No. of Patents: 002>

MULTILAYER SEMICONDUCTOR INTEGRATED CIRCUIT HAVING THIN FILM TRANSISTOR (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; TAKEMURA YASUHIKO

IPC: \*H01L-027/00; H01L-021/268; H01L-027/12; H01L-029/784

CA Abstract No: 120(16)206705P

Derwent WPI Acc No: C 94-029605

JAP10 Reference No: 180161E000001

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	AppliC No	Kind	Date
JP 5335482	A2	931217	JP 92164303	A	920529 (BASIC)
JP 2742747	B2	980422	JP 92164303	A	920529

Priority Data (No,Kind,Date):

JP 92164303 A 920529